

明 細 書

ミキサ回路

技術分野

[0001] 本発明は、MIS集積回路上に構成されるミキサ回路に関する。

背景技術

[0002] 高周波 (RF) 信号から所望波を取り出す技術としてダイレクトコンバージョン受信方式が良く知られている。

この受信方式では搬送波周波数を中間周波数 (IF) を介さずに直接ベースバンド周波数へ変換する。

[0003] 図1は、一般的なダイレクトコンバージョン受信方式を示す回路ブロック図である。

同図の回路ブロック図1は、アンテナ2、低雑音増幅器 (LNA) 4、局部発振器6、90度移相器8、ミキサ10、ローパスフィルタ (LPF) 12、DCアンプ14、A/D変換器16、及びDSP18から構成されている。

[0004] 同図のアンテナ2からRF信号を受信すると、そのRF信号をLNA4で増幅させ、その増幅したRF信号を同図の上下に配置されたミキサ10に入力する。

また、局部発振器6からは上記RF信号と同じ周波数のローカル (LO) 信号が出力され、90度移相器8で互いに90度の位相を持たせて各ミキサ10にそのLO信号を入力する。

[0005] ミキサ10では、上記入力されたRF信号とLO信号とを乗算し、LNA4の出力を同相 (I) 成分及び直交 (Q) 成分を有するベースバンド信号へそれぞれ変換している。この方式によるとIFがゼロとなりベースバンド信号が折り重なって復調できなくなるため、前述したように位相の90度異なる二つのLO信号と二組のミキサ10を用いて直交復調を行なう。

[0006] ミキサ10から出力された信号は、その後段で、LPF12によって不要波がカットされ、LPF12から出力された所望波がDCアンプ14で増幅され、DCアンプ14から出力された信号がA/D変換器16でデジタル信号に変換される。

[0007] そして、A/D変換器16によって変換されたデジタル信号がDSP18に入力される

ことにより、符号再生等の処理が行なわれる。

この受信方式では搬送波周波数を中間周波数(IF)を介さずに直接ベースバンド周波数へ変換するため、原理的にイメージ周波数は存在しない。

[0008] よって、搬送波周波数を中間周波数(IF)を介してベースバンド周波数へ変換する既知のスーパーヘテロダイン受信方式において用いられる、イメージ周波数を取り除くためのバンドパスフィルタや、中間周波数を取り出すために帯域制限を行なう中間周波数フィルタなどの部品が、同図からも明らかなように当該ダイレクトコンバージョン受信方式では削減することができる。そのため、本受信方式は受信機の小型化には最適であるため、今後の技術革新に大きな期待が寄せられている。

[0009] その中でもミキサ回路10は上段の回路に配置され、その出力信号が後段の回路に悪影響しないように、高品質な出力信号を得ることが必要とされている。

一方、昨今では、低スピードの問題と雑音が大きいという問題がMOS(Metal-Oxide-Semiconductor)トランジスタの技術分野で改善されつつあり、MOSTランジスタの構造に特徴をもたせた半導体装置も多く見られるようになってきた。このようなものの一つとして、半導体基板上に一導電型(pチャネルまたはnチャネル)のMOSTランジスタを単体で構成した半導体装置の構成例が特開2002-110963号公報に開示されている。

[0010] ここに開示されているMOSTランジスタでは、MOSTランジスタのゲート絶縁膜を熱酸化処理を施して半導体基板の凸部表面に構成しており、半導体基板の上記凸部の側壁面にチャネルを形成できるとされている。

[0011] このように、従来より、ミキサ回路はその出力信号を高品質なものにし、かつ半導体基板上に集積化させることが問われ、改良が行なわれてきた。

特許文献1:特開2003-134183号公報

特許文献2:特開2002-110963号公報

[0012] しかし、例えば上記ダイレクトコンバージョン受信方式を採用した場合、上述した部品点数の削減という利点に相反する形で別の問題が顕著に現れてくる。

[0013] その問題とは、DCオフセットの発生や雑音などによる、復調信号の品質の劣化である。

ダイレクトコンバージョン受信方式では、アンテナで受信したRF信号と局部発振器から出力したLO信号との周波数が同一であるため、LO信号がRF信号経路に漏れ込むと、ミキサにおいてLO信号同士の自己混合が生じてDCオフセットが発生する。また、このDCオフセットの発生は、ミキサを構成するトランジスタ素子の電気的特性のばらつきによっても生じる。このうち、後者のDCオフセットの発生要因であるトランジスタ素子については、差動対構成のトランジスタであり、互いのトランジスタの電気的特性が揃わないために生じる。

- [0014] 通常IF増幅段で利得を稼ぐ上記スーパーヘテロダイン受信方式に対して、当該ダイレクトコンバージョン受信方式ではその利得の大部分をベースバンド信号処理部で稼ぐなければならない。そのため、信号がベースバンド処理部で増幅されると、上記DC成分により信号レベルが全体的に上にシフトしてA/D変換器のダイナミックレンジを有効利用できないといった問題を引き起こす。
- [0015] また、トランジスタ特性における飽和領域においては、ドレインソース間電圧に寄らずドレイン電流が一定の値を示すことが理想的であるが、実際には、この飽和領域におけるピンチオフ点(チャネルキャリア密度が略0になる点)の移動により、実効ゲート長は減少し、反対にドレイン電流が上昇するというチャネル長変調効果が生じる。このため、混合された信号における歪のない安定した信号を得ることが困難になる。
- [0016] さらに、IF増幅段で利得を稼ぐ上記スーパーヘテロダイン受信方式では、回路に用いられている抵抗や伝送線路の損失、使用しているトランジスタの電極配線抵抗、または半導体層の抵抗などから生じる熱雑音のみが問題となるが、その利得の大部分をベースバンド信号処理部で稼ぐ当該ダイレクトコンバージョン受信方式では、低周波雑音も問題となってくる。
- [0017] この問題となる低周波雑音とは、表面・界面における、電子正孔対の生成、再結合やトラップでのキャリアの捕獲、或いはトラップからのキャリアの放出など、ミキサに構成されるトランジスタから生じるフリッカ雑音($1/f$ 雑音)である。
- [0018] このように、ミキサ回路は復調信号の品質を劣化させる様々な要因を含んでいるため、ミキサ回路の小型化と共にミキサ回路から出力される混合信号の品質を向上させ

ることが課題であった。

発明の開示

[0019] 本発明は、出力される混合信号の品質を向上させることが可能なミキサ回路を提供することを目的とし、以下のように構成する。

本発明のミキサ回路の態様の一つは、第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、上記第一周波数の信号及び上記第二周波数の信号を乗算して第三周波数の信号を生成することを前提とし、上記差動対トランジスタの各トランジスタは、第1の結晶面（例えば(100)面など）を主面として有する半導体基板と、該半導体基板の一部として形成され、上記第1の結晶面とは異なった第2の結晶面（例えば(110)面など）により画成された1対の側壁面と、上記第2の結晶面とは異なった第3の結晶面（例えば、(100)面や(111)面など）があるが、好適には、上記第1の結晶面と同じ結晶面）により画成された頂面とよりなる、半導体構造と、上記主面及び上記側壁面及び上記頂面を一樣な厚さで覆うゲート絶縁膜と、上記主面及び上記側壁面及び上記頂面を、上記ゲート絶縁膜を介して連続的に覆うゲート電極と、上記半導体基板中及び上記半導体構造中の、上記ゲート電極を介する一方側及び他方側に形成され、いずれも上記主面及び上記側壁面及び上記頂面に沿って連続的に延在する、同一導電型拡散領域と、よりなるMIS (Metal-Insulator-Semiconductor)トランジスタが構成される。

[0020] 本発明のミキサ回路のその他の態様の一つは、第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、上記第一周波数の信号及び上記第二周波数の信号を乗算して第三周波数の信号を生成することを前提とし、上記差動対トランジスタの各トランジスタは、表面が少なくとも二つの異なる結晶面（例えば、(100)面及び(110)面、(100)面及び(111)面、(110)面及び(111)面、(100)面及び(110)面及び(111)面など）を有する凸部を主面に対して構成する半導体基板と、上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、上記半導体基板と電氣的に絶縁されるように上記ゲート絶縁膜を介して構成され、かつ上記凸部の表面を構成する上記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、上記凸部

の表面を構成する上記少なくとも二つの異なる結晶面の各々に面して上記凸部中に形成され、かつ上記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、よりなるMISTランジスタが構成される。

[0021] 本発明のミキサ回路のその他の態様の一つは、第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、上記第一周波数の信号及び上記第二周波数の信号を乗算して第三周波数の信号を生成することを前提とし、上記差動対トランジスタの各トランジスタは、少なくとも二つの結晶面を有する半導体基板と、該半導体基板上であって上記結晶面の少なくとも二つに対して形成したゲート絶縁膜と、該ゲート絶縁膜を挟んで上記半導体基板上に形成したゲート電極と、を有し、該ゲート電極に電圧を加えた際に上記ゲート絶縁膜に沿って上記半導体基板中に形成されるチャネルのチャネル幅(電子や正孔などのキャリアの移動方向に対して直交し、上記ゲート絶縁膜に沿った方向のチャネルの幅)が、上記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅(電子や正孔などのキャリアの移動方向に対して直交し、上記ゲート絶縁膜に沿った方向のチャネルの幅)の総和で示される、立体構造MISTランジスタが構成される。

[0022] なお、上記各態様において、上記MISTランジスタは、上記半導体基板がシリコン基板であり、上記シリコン基板の表面に形成されたゲート絶縁膜が、上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン基板及び上記ゲート絶縁膜の界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように構成されることが望ましい。

[0023] また、上記各態様において、上記少なくとも二つの結晶面は、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わされてなる、ように構成されることが望ましい。

[0024] また、上記各態様において、上記ミキサ回路は、ギルバートセル型の回路で構成されることが望ましい。

また、上記各態様において、上記ミキサ回路の回路構成を上記MISTランジスタを用いて左右対称の構成にする、ことが望ましい。

[0025] また、上記各態様のミキサ回路を、上記第一周波数の信号を高周波信号とし、上記

第二周波数の信号をローカル信号とし、上記第三の信号を低周波信号とした、受信機に適用してもよい。また、上記低周波信号をベースバンド信号とするダイレクトコンバージョン受信方式で適用させてもよい。

[0026] さらに、nチャネルMOSTランジスタ及びpチャネルMOSTランジスタからなるCMOSTランジスタを有するミキサ回路において、上記nチャネルMOSTランジスタまたは上記pチャネルMOSTランジスタの少なくとも一方を、上記各態様のミキサ回路の何れか一つのミキサ回路に構成される上記MISTランジスタの構成をもって構成させることもできる。

[0027] この時、上記pチャネルMOSTランジスタと上記nチャネルMOSTランジスタの素子面積及び電流駆動能力は略一致する、ように構成することが望ましい。

本発明のミキサ回路においては、上記少なくとも二つの異なる結晶面に沿ってゲート幅が形成される。そのため、ゲートに電圧が印加されると、上記少なくとも二つの異なる結晶面に沿ってチャネルが形成される。そして、特に凸部の結晶面に沿ってチャネルが形成された際に、各トランジスタで生じるチャネル長変調効果が大幅に抑制される。

[0028] また、上記MISTランジスタにおいて、上記半導体基板がシリコン基板であり、上記シリコン基板の表面に形成されたゲート絶縁膜が、上記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、上記シリコン基板の表面及び上記ゲート絶縁膜の界面における上記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ように形成できるので、半導体基板とゲート絶縁膜との界面における界面準位密度を低下でき、 $1/f$ 雑音の低減及び各トランジスタの電気的特性のばらつきが低減できる。

[0029] さらに、上記少なくとも二つの結晶面が、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わせられることによって、上記 $1/f$ を大幅に低減でき、電気的特性のばらつきも大幅に低減できる。

[0030] 上記トランジスタを差動対に構成することによって、外部に乗ってくるノイズも相殺できる。

また、左右対称な回路を上記トランジスタで構成できるのでミキサ回路から出力され

る信号は安定した所望の信号になる。

- [0031] また、ダイレクトコンバージョン方式に上記ミキサ回路を適用すれば、ミキサ回路の後段に構成されるA/D変換器においてダイナミックレンジを有効利用できるようになる。

さらに、nチャネルMOSTランジスタ及びpチャネルMOSTランジスタの電流駆動能力及び素子面積を一致させたCMOS (Complementary Metal Oxide Semiconductor) トランジスタを有するミキサ回路を構成できるようになる。

図面の簡単な説明

- [0032] 本発明は、後述する詳細な説明を、下記の添付図面と共に参照すればより明らかになるであろう。

[図1]従来のダイレクトコンバージョン受信方式の回路ブロック図である。

[図2]ラジアルラインスロットアンテナを用いたプラズマ処理装置100の一例を示す断面図である。

[図3]シリコン基板103表面におけるシリコン-水素結合を赤外分光器により分析した結果である。

[図4]処理室内のKr/O₂の圧力比を97/3に保持しつつ、前記処理室101内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係である。

[図5]Kr/O₂プラズマ酸化膜の成長レートと熱酸化膜の成長レートとの比較図である。

[図6]Kr/O₂プラズマ酸化膜と熱酸化膜との界面準位密度の比較図である。

[図7A]ドレイン電圧対規格化ドレイン電流特性である。

[図7B]ドレイン電圧対規格化ドレイン電流特性である。

[図7C]ドレイン電圧対規格化ドレイン電流特性である。

[図8]nチャネルMOSTランジスタの構成例である。

[図9]CMOSTランジスタの構成例である。

[図10]図8の一部を取り出して示した図である。

[図11A]ミキサ回路の一例を示す図である。

[図11B]ミキサ回路の一例を示す図である。

[図12]本発明の実施形態によるダイレクトコンバージョン受信方式の回路ブロック図である。

発明を実施するための最良の形態

[0033] 以下、本発明の実施の形態を、図面を参照しながら詳細に説明する。

本発明の実施の形態のミキサ回路はMIS (Metal-Insulator-Semiconductor) 構造を有するトランジスタによって構成される。そして、本発明の実施の形態において、このMISトランジスタのゲート絶縁膜は、特開2002-261091号公報に開示されているゲート絶縁膜薄膜形成技術を取り入れて形成する。

[0034] なお、上記ゲート絶縁膜としては、上記特開2002-261091号公報に開示されているように窒化膜や酸窒化膜とすることもできるが、本実施の形態においては上記ゲート絶縁膜を酸化膜としたMOS (Metal-Oxide-Semiconductor) トランジスタ (例えばMOSFETなど) を代表に挙げて説明することにする。

[0035] 先ず始めに、上記MOSTランジスタのゲート絶縁膜薄膜形成方法について説明する。

図2は、ラジアルラインスロットアンテナを用いたプラズマ処理装置100の一例を示す断面図である。

[0036] 本ゲート絶縁膜薄膜形成方法においては、シリコン (またはSiで示す) 表面の未結合手を終端している水素を除去するのに、次の酸化膜形成工程でプラズマ励起ガスとして使われるKrを使用し、同一処理室内で連続して表面終端水素除去処理と酸化処理とを行なう。

[0037] 先ず、真空容器 (処理室) 101内を真空にし、次にシャワープレート102から最初にArガスを導入し、それをKrガスに切替える。さらに、前記処理室101内の圧力を133 Pa (1Torr) 程度に設定する。

[0038] 次にシリコン基板103を、加熱機構を持つ試料台104に置き、試料の温度を400℃程度に設定する。前記シリコン基板103の温度が200-550℃の範囲内であれば、以下に述べる結果はほとんど同様のものとなる。前記シリコン基板103は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素

で終端されている。

- [0039] 次に同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から処理室101の壁面の一部に設けられた誘電体板107を通して、前記処理室101内に導入する。導入されたマイクロ波は前記シャワープレート102から前記処理室101内に導入されたKrガスを励起し、その結果前記シャワープレート102の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。
- [0040] 図2の構成においてシャワープレート102と基板103の間隔は、本実施形態では6cmに設定する。この間隔は狭いほうがより高速な成膜が可能となる。
- なお、本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。
- [0041] 前記シリコン基板103をKrガスで励起されたプラズマに曝すことにより、前記シリコン基板103の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。
- [0042] 図3は前記シリコン基板103表面におけるシリコン-水素結合を赤外分光器により分析した結果であり、前記処理室101中にマイクロ波を133Pa(1Torr)の圧力下、 $1.2\text{W}/\text{cm}^2$ のパワーで導入することで励起したKrプラズマによる、シリコン表面終端水素の除去効果を示す。
- [0043] 図3を参照するに、わずか1秒程度のKrプラズマ照射でシリコン-水素結合に特徴的な波数 2100cm^{-1} 付近の光吸収がほとんど消滅し、約30秒の照射ではほぼ完全に消滅するのがわかる。すなわち、約30秒のKrプラズマ照射により、シリコン表面を終端していた水素が除去できることがわかる。本実施形態では、1分間のKrプラズマ照射を施して、表面終端水素を完全に除去する。
- [0044] 次に、前記シャワープレート102から97/3の分圧比の Kr/O_2 混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。Krガスと O_2 ガ

スが混合された高密度励起プラズマ中では、中間励起状態にある Kr^* と O_2 分子が衝突し、原子状酸素 O^* を効率よく大量に発生できる。

[0045] 本例では、この原子状酸素 O^* により前記シリコン基板103の表面を酸化する。本薄膜形成方法を用いることにより、原子状酸素による酸化処理では、 400°C 程度の非常に低い温度での酸化が可能となる。 Kr^* と O_2 の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生した O^* 同志が衝突し、 O_2 分子に戻ってしまう。当然、最適ガス圧力が存在する。

[0046] 図4に、処理室内の Kr/O_2 の圧力比を97/3に保持しつつ、前記処理室101内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係を示す。ただし図4では、シリコン基板103の温度を 400°C に設定し、10分間の酸化処理を行っている。

[0047] 図4を参照するに、前記処理室101内の圧力が約133Pa (1Torr)の時に最も酸化速度は速くなり、この圧力ないしはその近傍の圧力条件が最適であることがわかる。この最適圧力は、前記シリコン基板103の面方位が(100)面である場合に限らず、どの面方位のシリコン表面であっても同じである。

[0048] 所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらに Kr/O_2 混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをパージガスに使用するためである。本工程に使用されたKrガスは回収再利用する。

[0049] 以上の Kr/O_2 プラズマ酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シンタ処理工程等を施してMOSTランジスタやキャパシタを含む半導体集積回路装置を完成させることができる。

[0050] 上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で $10^{12}/\text{cm}^2$ 程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で $10^{11}/\text{cm}^2$ 程度以下であることが確認された。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で $10^{12}/\text{cm}^2$ を超える水素を含んでいた。

- [0051] また、上記の手順で形成されたシリコン酸化膜を剥離した後のシリコン表面と酸化膜形成前のシリコン表面の粗さを原子間力顕微鏡で測定して比較したところ、シリコン表面の荒さが変化していないのが確認された。すなわち、終端水素を除去して酸化した後でもシリコン表面が荒れることはない。
- [0052] 本ゲート絶縁膜薄膜形成方法によると、シリコン基板と、MOSTランジスタのゲート絶縁膜として形成されるシリコン酸化膜との、界面に残留する水素が除去され、その界面が平坦化される。この平坦化により、その界面における低界面準位密度を実現することができ、ゲート絶縁膜が薄膜化されても良好な電気的特性（低リーク電流特性、低界面準位密度、高耐圧性、高ホットキャリア耐性、均一なしきい値電圧特性など）が得られるようになっている。また、さらに、如何なる面方位に形成されたゲート絶縁膜もそれらの面方位に対して良好な電気的特性を得る事もできるようになる。
- [0053] 次に、上述したゲート絶縁膜薄膜形成方法を利用し、シリコン基板の(100)面のみならず(111)面や(110)面を使用してMOSTランジスタの形成を行なった例を示す。
- [0054] 図5は、図2のプラズマ処理装置100により、シリコン基板の(100)面、(111)面、および(110)面を酸化した場合の Kr/O_2 プラズマ酸化膜の成長レートを、熱酸化膜の成長レートと比較して示している。
- [0055] 図5を参照するに、 Kr/O_2 プラズマ酸化膜では熱酸化膜の場合よりもはるかに大きな成長レートが得られており、活性な原子状酸素 O^* を使ったSi基板の酸化が非常に効率良く進むことが示されている。さらに図5より、 Kr/O_2 プラズマ酸化膜では、Si原子の面密度がより大きな(111)面、(110)面上での成長レートが、(100)面上での成長レートよりも小さくなっている事が分かる。これは原料供給律速プロセスから導かれる帰結と一致しており、このようにして形成したプラズマ酸化膜は、優れた膜質を有している事が示唆される。
- [0056] これに対し、Si基板の(111)面、(110)面上に熱酸化膜を形成した場合には、(100)面上に熱酸化膜を形成した場合よりも酸化膜の成長レートが大きくなっており、(111)面、(110)面上に形成されている熱酸化膜は膜質が劣ることを示唆している。
- [0057] 図6はこのようにして形成された Kr/O_2 プラズマ酸化膜と熱酸化膜とで界面準位密

度を比較した結果を示す。

図6を参照するに、 Kr/O_2 プラズマ酸化膜ではシリコンの(100)面上に形成された場合でも(111)面、(110)面上に形成された場合でも、界面準位密度は(100)面上に形成された熱酸化膜の界面準位密度よりも低く、非常に高品質な酸化膜が得られているのがわかる。

[0058] これに対し、シリコンの(111)面、(110)面上に形成された熱酸化膜では、図5の結果から予測された通り界面準位密度が非常に大きく、MOSTランジスタのゲート絶縁膜に使用した場合には、キャリアの捕獲によるしきい値電圧の変化やゲートリーク電流の増大など、様々な問題が生じると考えられる。

[0059] 図7Aー図7Cは、シリコン基板のそれぞれ(100)面、(111)面、および(110)面上に、図2のプラズマ処理装置100によりシリコン酸化膜を形成し、かかるシリコン酸化膜をゲート絶縁膜としてpチャネルMOSTランジスタを形成した場合のドレイン電圧対規格化ドレイン電流特性を示す。ただし図7A、図7Bでは、シリコン酸化膜を前記 Kr/O_2 プラズマ処理により形成した場合と熱酸化処理により形成した場合の両方を示している。これに対し、図7Cでは、熱酸化処理では(110)面上に酸化膜が形成できないため、 Kr/O_2 プラズマ処理により形成したゲート酸化膜の例のみを示している。図7Aの結果は、ゲート長が $10\mu\text{m}$ でゲート幅が $50\mu\text{m}$ のpチャネルMOSTランジスタについてのものであり、図7B、図7Cの結果は、ゲート長が $10\mu\text{m}$ でゲート幅が $300\mu\text{m}$ のpチャネルMOSTランジスタについてのものである。

[0060] 図7Aー図7Cを参照するに、pチャネルMOSTランジスタのドレイン電流、従って相互コンダクタンスないし電流駆動能力は、ランジスタをシリコンの(100)面以外の結晶面、例えば(111)面あるいは(110)面上に形成することにより増大させることが可能であること、特にpチャネルMOSTランジスタをシリコンの(111)面上に形成した場合に(100)面上に形成したpチャネルMOSTランジスタの約1.3倍の電流駆動能力が得られること、また(110)面上に形成した場合には約1.8倍の電流駆動能力が得られることがわかる。

[0061] 図8は、NチャネルMOSTランジスタの構成例である。

同図に示されるNチャネルMOSTランジスタは、(110)面を主面とするSi基板710の

上に、先に図2で説明したプラズマ処理装置100によってシリコン酸化膜が一様に形成され、その形成されたシリコン酸化膜の上にポリシリコンゲート電極730が形成されている。さらに、かかるゲート電極730のパターニングに伴って前記シリコン酸化膜もパターニングされ、前記ゲート電極730に対応してゲート絶縁膜720が同図の太い実線と破線で囲まれる領域に形成される。

[0062] そして、前記ゲート電極730を自己整合マスクにn型不純物をイオン注入することにより、前記ゲート電極730の両側にn型拡散領域710aおよび710bが形成される。その結果、前記Si基板710上にnチャネルMOSTランジスタが形成される。なお、同図においては、上記n型拡散領域710aおよび710b間にチャネルが形成された際のその形成範囲を斜線で示す事とした。

[0063] なお、同図はnチャネルMOSTランジスタの構成例であるが、ゲート電極を自己整合マスクにp型不純物をイオン注入して、そのゲート電極の両側にp型拡散領域を形成することにより、Si基板上にpチャネルMOSTランジスタを形成することもできる。

[0064] このように構成したMOSTランジスタにおいては、Si基板とゲート酸化膜の界面で低界面準位密度を実現できるので、1/f雑音を低減でき、良好な電気的特性が安定して得られる。このため、素子間における電気的特性のバラツキを低下させたより安定なMOSTランジスタを構成できる。

[0065] なお、上記構成例ではSi基板の(110)面に対してランジスタを形成したが、その他の(100)面や(111)面に形成しても、上述した効果は得られる。

次に、上記(110)面のように一方位面のみにランジスタを構成するのではなく、複数の方位面を同時に利用してランジスタを構成(立体構成)する例を示す。

[0066] 図9、10は、pチャネルMOSTランジスタ及びnチャネルMOSTランジスタからなるCMOS (Complementary Metal Oxide Semiconductor)ランジスタの構成例である。

[0067] ただし図10は、図9の一部を取り出して示した図である。

図9、10を参照するに、CMOSTランジスタ800は素子分離領域805により隔てられたn型領域Aとp型領域Bとが形成された(100)面を主面とするSi基板810上に形成されており、図10に示すように、前記領域Aには幅が W_{1A} で高さが H_A の突出部810Aが、また領域Bには幅が W_{1B} で高さが H_B の突出部810Bが両側壁面に形成されて

いる。図10よりわかるように、前記突出部810A、810Bの頂面は(100)面により、側壁面は(110)面により画成されている。

[0068] 図10のSi基板810上には、先に図2で説明したプラズマ処理装置100によりシリコン酸化膜が一様に形成されており、さらにその上に、図9に示すポリシリコンゲート電極830Aおよび830Bが、それぞれ領域AおよびB上に形成されている。さらにかかるゲート電極830Aおよび830Bのパターニングに伴って前記シリコン酸化膜もパターニングされ、前記ゲート電極830Aに対応してゲート絶縁膜820Aが、またゲート電極830Bに対応してゲート絶縁膜820Bが、同図に太い実線と斜線で囲まれる領域に形成される。

[0069] さらに図9のCMOSTランジスタ800では、前記n型領域Aにおいて前記ゲート電極830Aを自己整合マスクにn型不純物をイオン注入することにより、前記ゲート電極830Aの両側に、前記突出部810Aをも含んでn型拡散領域810aおよび810bが形成される。同様に、前記p型領域Bにおいても前記ゲート電極830Bの両側に、前記突出部810Bをも含んでp型拡散領域810cおよび810dが形成される。その結果、前記Si基板810上には前記領域AにnチャネルMOSTランジスタ840Aが、また前記領域BにpチャネルMOSTランジスタ840Bが形成される。

[0070] 本例に示すCMOSTランジスタ800では、nチャネルMOSTランジスタ840Aはゲート長 L_{gA} を、またpチャネルMOSTランジスタ840Bはゲート長 L_{gB} を有し、前記ゲート電極830Aは、Si基板810の平坦部を、前記突出部810Aのそれぞれの側において、ゲート幅 $W_{2A}/2$ で覆う。その結果、前記ゲート電極830Aの(100)面上におけるゲート幅は、前記突出部810Aの頂部を含めて、 $W_{1A} + W_{2A}$ により与えられる。これに対し、前記ゲート電極830Aの(110)面上におけるゲート幅は両側壁面に形成されているので $2H_A$ で与えられ、その結果、前記領域Aに形成されるnチャネルMOSTランジスタ840Aの電流駆動能力は、式 $\mu_{n1}(W_{1A} + W_{2A}) + 2\mu_{n2}H_A$ により与えられる。ただし μ_{n1} は、(100)面における電子移動度を、 μ_{n2} は(110)面における電子移動度を表す。

同様に、前記領域Bに形成されるpチャネルMOSTランジスタ840Bの電流駆動能力は、式 $\mu_{p1}(W_{1B} + W_{2B}) + 2\mu_{p2}H_B$ により与えられる。ただし μ_{p1} は、(100)面におけ

るホール移動度を、 μ_{p2} は(110)面におけるホール移動度を表す。

[0071] このように、Si基板810の主面とする(100)面に加え、それとは異なる面方位の(110)面に対してゲートを形成できるので、上記主面のゲート幅を小さくして素子面積を小さくし、主面のゲート幅を上記(110)面に対して形成したゲートのゲート幅で補填することができる。その結果、トランジスタ素子を小型化することが可能になる。

[0072] なお、上述した例では側壁面へ形成するトランジスタを両側壁面に対して形成したが、片側壁面であってもよい。

また、上記 H_A を0とする構成にすることもできる。

[0073] また、同図においては、Si基板810上方のn型拡散領域810aおよび810b間、或いはp型拡散領域810c及び810d間に、ゲート絶縁膜820A或いは820Bに沿ってチャネルが夫々形成された際のその形成範囲を斜線で示すこととした。この図からも明らかなように、上述したゲート絶縁膜に沿ってSi基板中に形成されるチャネルのチャネル幅は、例えばnチャネルMOSTランジスタ840Aで言えば、(100)面の上記 $W_{1A} + W_{2A}$ 及び(110)面の上記 $2H_A$ の総和に追従し、例えばpチャネルMOSTランジスタ840Bで言えば、(100)面の上記 $W_{1B} + W_{2B}$ 及び(110)面の上記 $2H_B$ の総和に追従する。

[0074] よって、 $W_{1A} + W_{2A} = W_{1B} + W_{2B}$ 、 $\mu_{n1}(W_{1A} + W_{2A}) + 2\mu_{n2}H_A = \mu_{p1}(W_{1B} + W_{2B}) + 2\mu_{p2}H_B$ を満たすように、 H_A 及び H_B を決めれば、nチャネルMOSTランジスタ及びpチャネルMOSTランジスタは互いの素子面積が一致し、かつ電流駆動能力が一致したCMOSTランジスタを構成できるようになる。

[0075] 同図に斜線で示されるようにチャネルが立体的に形成されることにより、一平面に形成されるチャネルにおけるピンチオフ点(チャネルキャリア密度が略0になる点)の移動に基づく実効ゲート長の減少が抑制され、飽和領域におけるドレイン電流の増加が抑制できる。

[0076] その結果、MOSTランジスタによって増幅される信号における信号歪が低減される事となる。

ここではCMOSTランジスタの構成例を示した。しかし、当然、相補型としない構成、すなわちnチャネルMOSTランジスタ840A或いはpチャネルMOSTランジスタ840

Bのみを、上述したように(100)面、(110)面を使用して立体的に構成することもできる。そして、当然、そのようにnチャネルMOSTランジスタ、或いはpチャネルMOSTランジスタのみにおいても、上述した作用効果が同様に得られる。

[0077] このように、プラズマ処理装置100によりシリコン酸化膜が如何なる面方位に対しても一様に形成されることにより、 $1/f$ 雑音が低減され、複数の面方位にゲートを形成してトランジスタを立体構造にすることにより、チャネル長変調効果が低減され、素子間にバラツキのない良好な電気的特性を得る事が可能となる。また、上記立体構造としたことにより素子面積を小さくできる。

[0078] 次に、上記ゲート絶縁膜薄膜形成方法を用いて形成した薄膜構造のゲート絶縁膜からなる上記立体構造のMOSTランジスタが適用されるミキサ回路を示す。

図11Aはミキサを含む周波数変換回路のブロック図を示したものである。図11Aに示される周波数変換回路1000は、ローカル信号を出力する局部発振器1002、及び、RF信号とそのローカル信号とを入力してそれらを乗算し、RF信号を例えば中間周波数やベースバンドに周波数変換させて出力するミキサ1004とから構成される。

[0079] 図11Bは、そのミキサ1004の内部回路の一例である。

ミキサ1004の構成としては、例えば、RF信号を単相入力とし、LO信号を差動入力とした構成のシングルバランス・ミキサや、LO信号と同様にRF信号も差動入力とした構成のダブルバランス・ミキサなどがあるが、本例の回路構成は、ダブルバランス・ミキサであるギルバートセル構成のミキサ回路を示すこととした。また、本例では、一例としてnチャネルMOSTランジスタを適用させた場合を示すが、pチャネルMOSTランジスタを適用したり、或いはnチャネルMOSTランジスタ及びpチャネルMOSTランジスタを使用しても良い。また、特に図示しなが、CMOSTランジスタを用いてミキサ回路を構成してもよい。

[0080] 図11Bのミキサ回路は、LO信号を入力する2組の差動対トランジスタM1～M4とRF信号を入力する1組の差動対トランジスタM5、M6と、カレントミラーによる定電流特性をもつアクティブロードM8、M9とが、縦型に接続されることによって形成されている。

[0081] トランジスタM5、M6において、それらのソースはバイアス電圧VBIASを供給したト

ランジスタM7(定電流源)を介して接地され、各ゲートにはRF信号が差動入力される。

[0082] また、トランジスタM1、M2、M3、M4において、トランジスタM1、M2のソースはM5のドレインと接続され、トランジスタM3、M4のソースはトランジスタM6のドレインと接続され、M1、M4のゲートを接続した接続点とM2、M3のゲートを接続した接続点とにLO信号が差動入力される。

[0083] また、アクティブロードM8、M9において、アクティブロードM8のドレインはトランジスタM1、M3のドレインと接続され、アクティブロードM9のドレインはトランジスタM2、M4のドレインと接続され、アクティブロードM8、M9のゲート間が接続され、それらのゲート間の接続点とアクティブロードM8のドレインが接続され、アクティブロードM8、M9のソースが電源VDDに接続される。

[0084] そして、トランジスタM1、M3のドレインに第1の混合出力端子B1を設けると共にM2、M4のドレインに第2の混合出力端子B2を設ける。

同図に示されるように、本回路は、nチャネルMOSTランジスタによって左右対称の回路構成にしている。

[0085] 本回路は、LO信号とRF信号が入力されることによりRF信号が周波数変換されてその周波数変換された信号が混合出力端子から出力される、ミキサ回路を構成している。例えば、LO信号とRF信号の周波数が大きく異なれば混合出力端子から中間周波数(IF)信号が出力され、LO信号とRF信号の周波数が同じであれば混合出力端子からベースバンド信号が出力される。

[0086] 本回路に構成される各トランジスタ素子は互いにバラツキのない高性能電気的特性が得られるように形成される。そのため、各トランジスタから生ずる $1/f$ 雑音は大幅に低減され、それらの出力信号に含まれる雑音は少ない。

[0087] また、差動対トランジスタから出力される信号には、互いのトランジスタ素子における電気的特性のバラツキが少ないため、DCオフセットが抑制できる。

さらに、本回路においては、全体をトランジスタで左右対称に構成させているため、各トランジスタ素子におけるチャネル長変調効果による信号歪の低減は勿論のこと、混合出力端子からは歪の少ない高品質な混合信号が出力される。

- [0088] なお、上記回路構成は最も好適な例であり、上記 $1/f$ 雑音の低減や、チャネル長変調効果の低減については、ミキサ回路に少なくとも一つ立体構造のMOSTランジスタが含まれていれさえすれば、上述した効果を生じる。
- [0089] また、DCオフセットについても、トランジスタを差動対で構成することが望ましいが、例えば、LO信号またはRF信号を入力する段に差動対トランジスタが構成されていれば、上述した効果を生じる。
- [0090] なお、特に図示されていないが、上記受信機用に使用されるミキサ回路は送信機用のミキサ回路にも適用でき、上述した効果が同様に得られる。
- 以上より、本発明の実施の形態のミキサ回路は、ミキサ回路から出力される例えばIF信号やベースバンド信号などの混合出力信号に上記トランジスタ素子から生じる $1/f$ 雑音や、上記トランジスタ素子毎の電気的特性のバラツキによるDCオフセットや、チャネル長変調効果による信号歪の発生が大幅に低減された回路構成をとる。
- [0091] 図12は、当該ダイレクトコンバージョン受信方式の回路に当該ミキサ回路を適用した場合の例である。同図に示されるように、従来技術で説明したミキサ回路10の位置に当該発明の実施形態であるミキサ回路1200を挿入できる。(なお、このダイレクトコンバージョン受信方式の構成や動作は、図1を用いて従来技術で詳しく説明しているため、この説明はここでは省略する)。
- [0092] このように、ミキサ回路で混合されるLO信号とRF信号の周波数が等しいダイレクトコンバージョン受信方式に本発明の実施の形態のミキサ回路を構成すれば、従来のダイレクトコンバージョン受信方式で問題となっていた後段のA/D変換器においてダイナミックレンジを有効利用できるようになる。さらに、上記DCオフセットや $1/f$ 雑音や信号歪が低減されたことにより、ダイレクトコンバージョン受信方式によって復調する信号の品質を高くすることが可能になる。
- [0093] そして、言うまでもないが、上記トランジスタでは立体的構造を持たせることにより素子面積を小さくできるので、高密度な半導体集積回路を実現させることができ、同様に、このトランジスタを適用したミキサ回路或いはダイレクトコンバージョン受信方式用のICも小型化できる。
- [0094] 以上述べたように、本発明の実施形態によれば、ミキサ回路に構成されるトランジスタ

タ素子で発生する $1/f$ 雑音や、トランジスタ素子の電気的特性のバラツキによって出力信号に生じるDCオフセットや、チャネル長変調効果に基づく信号歪を、半導体基板上にトランジスタを集積化した場合においても大幅に低減させることが可能となる。

[0095] また、ミキサ回路を上記構造のトランジスタを使用してCMOS構造にする事も可能になり、出力信号の高品質化と共に、ミキサ回路の小型化、低消費電力化が可能になる。

さらに、ダイレクトコンバージョン方式に上記ミキサ回路を用いることにより、後段のA/D変換器においてダイナミックレンジを有効利用できるようになり、高品質な復調信号を得る事が可能になると共に、受信機を小型化することも可能になる。

[0096] なお、本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろな形で実施することができる。そのため、前述の実施例はあらゆる点で単なる例示にすぎず、限定的に解釈してはならない。本発明の範囲は、特許請求の範囲によって示すものであって、明細書本文には、なんら拘束されない。さらに、特許請求の範囲の均等範囲に属する変形や変更は、すべて本発明の範囲内のものである。

請求の範囲

- [1] 第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、前記第一周波数の信号及び前記第二周波数の信号を乗算して第三周波数の信号を生成するミキサ回路であって、
前記差動対トランジスタの各トランジスタは、
第1の結晶面を主面として有する半導体基板と、
該半導体基板の一部として形成され、前記第1の結晶面とは異なった第2の結晶面により画成された1対の側壁面と、前記第2の結晶面とは異なった第3の結晶面により画成された頂面とよりなる、半導体構造と、
前記主面及び前記側壁面及び前記頂面を一樣な厚さで覆うゲート絶縁膜と、
前記主面及び前記側壁面及び前記頂面を、前記ゲート絶縁膜を介して連続的に覆うゲート電極と、
前記半導体基板中及び前記半導体構造中の、前記ゲート電極を介する一方側及び他方側に形成され、いずれも前記主面及び前記側壁面及び前記頂面に沿って連続的に延在する、同一導電型拡散領域と、
よりなるMISTトランジスタである、
ことを特徴とするミキサ回路。
- [2] 第一周波数の信号または第二周波数の信号を入力するための差動対トランジスタを少なくとも有し、前記第一周波数の信号及び前記第二周波数の信号を乗算して第三周波数の信号を生成するミキサ回路であって、
前記差動対トランジスタの各トランジスタは、
表面が少なくとも二つの異なる結晶面を有する凸部を主面に対して構成する半導体基板と、
前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々の少なくとも一部を覆うゲート絶縁膜と、
前記半導体基板と電氣的に絶縁されるように前記ゲート絶縁膜を介して構成され、かつ前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に対して構成されるゲート電極と、

前記凸部の表面を構成する前記少なくとも二つの異なる結晶面の各々に面して前記凸部中に形成され、かつ前記ゲート電極の両側にそれぞれ形成される同一導電型拡散領域と、

よりなるMISTランジスタである、

ことを特徴とするミキサ回路。

- [3] 第一周波数の信号または第二周波数の信号を入力するための差動対ランジスタを少なくとも有し、前記第一周波数の信号及び前記第二周波数の信号を乗算して第三周波数の信号を生成するミキサ回路であって、

前記差動対ランジスタの各ランジスタは、

少なくとも二つの結晶面を有する半導体基板と、

該半導体基板上であって前記結晶面の少なくとも二つに対して形成したゲート絶縁膜と、

該ゲート絶縁膜を挟んで前記半導体基板上に形成したゲート電極と、

を有し、

該ゲート電極に電圧を加えた際に前記ゲート絶縁膜に沿って前記半導体基板中に形成されるチャネルのチャネル幅が、前記少なくとも二つの結晶面に対して各々形成されるチャネルの各チャネル幅の総和で示される、

立体構造MISTランジスタである、

ことを特徴とするミキサ回路。

- [4] 前記MISTランジスタは、

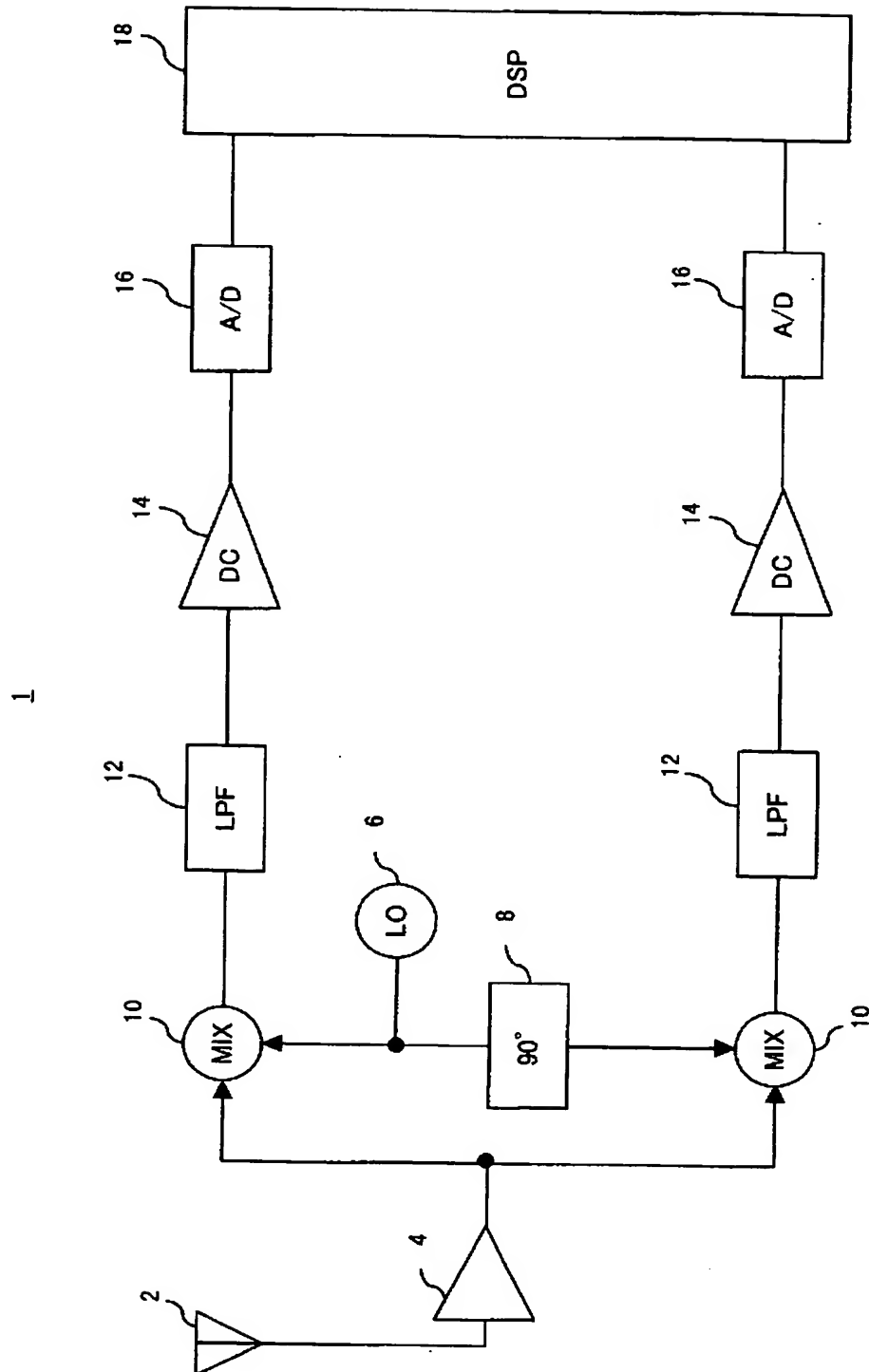
前記半導体基板がシリコン基板であり、

前記シリコン基板の表面に形成されたゲート絶縁膜が、前記シリコン基板の表面を所定の不活性ガスによるプラズマに曝して水素を除去することにより形成され、前記シリコン基板と前記ゲート絶縁膜との界面における前記水素の含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下となる、ことを特徴とする請求の範囲第1項乃至第3項の何れか一つに記載のミキサ回路。

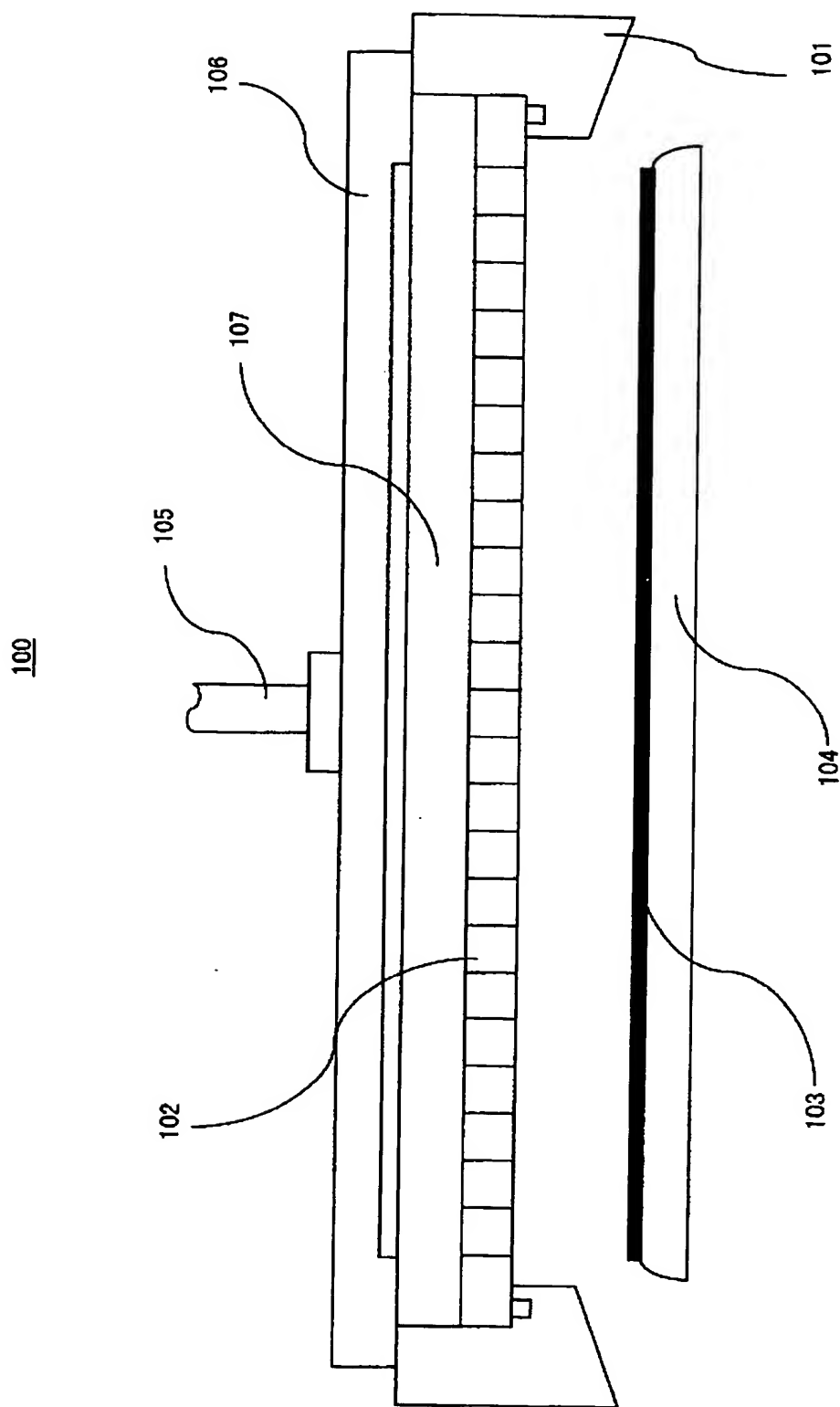
- [5] 前記少なくとも二つの結晶面は、(100)面、(110)面、(111)面の内の何れか異なる二つの結晶面が組み合わされてなる、

- ことを特徴とする請求の範囲第4項に記載のミキサ回路。
- [6] 前記ミキサ回路は、ギルバートセル型の回路である、
ことを特徴とする請求の範囲第1項に記載のミキサ回路。
- [7] 前記ミキサ回路の回路構成を前記MISTランジスタを用いて左右対称の構成にしたことを特徴とする、請求の範囲第1項または第3項に記載のミキサ回路。
- [8] 前記第一周波数の信号は高周波信号であり、前記第二周波数の信号はローカル信号であり、前記第三の信号は低周波信号である、受信機用として利用されることを特徴とする請求の範囲第1項または第3項に記載のミキサ回路。
- [9] 前記低周波信号がベースバンド信号であるダイレクトコンバージョン受信方式で利用されることを特徴とする請求の範囲第8項に記載のミキサ回路。
- [10] nチャネルMOSTランジスタ及びpチャネルMOSTランジスタからなるCMOSTランジスタを有し、
前記nチャネルMOSTランジスタまたは前記pチャネルMOSTランジスタの少なくとも一方が請求の範囲第1項または第3項に記載のミキサ回路のMISTランジスタによって構成される、
ことを特徴とするミキサ回路。
- [11] 前記pチャネルMOSTランジスタと前記nチャネルMOSTランジスタの素子面積及び電流駆動能力は略一致する、ことを特徴とする請求の範囲第10項に記載のミキサ回路。

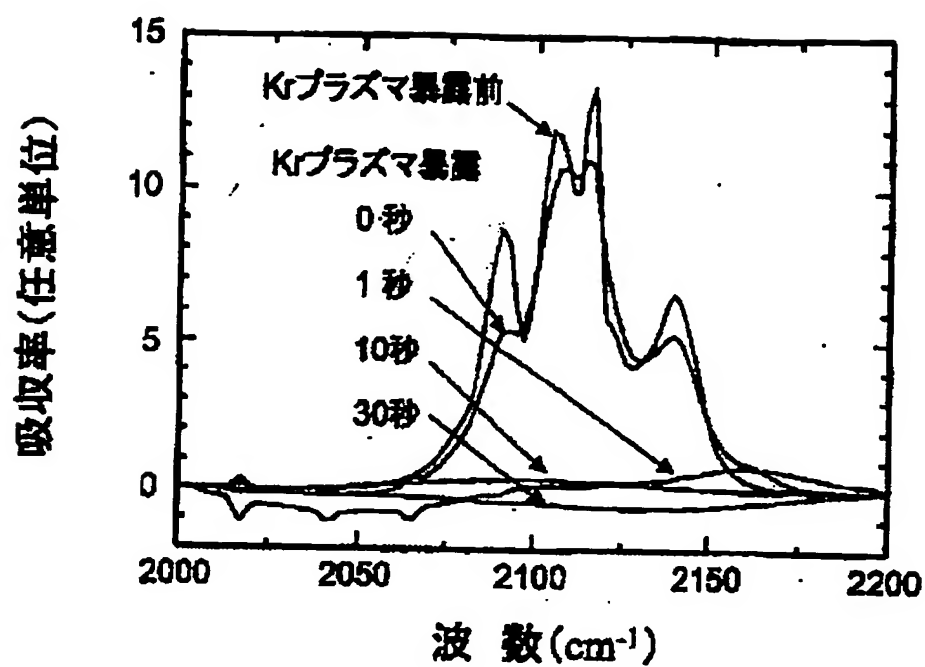
[図1]



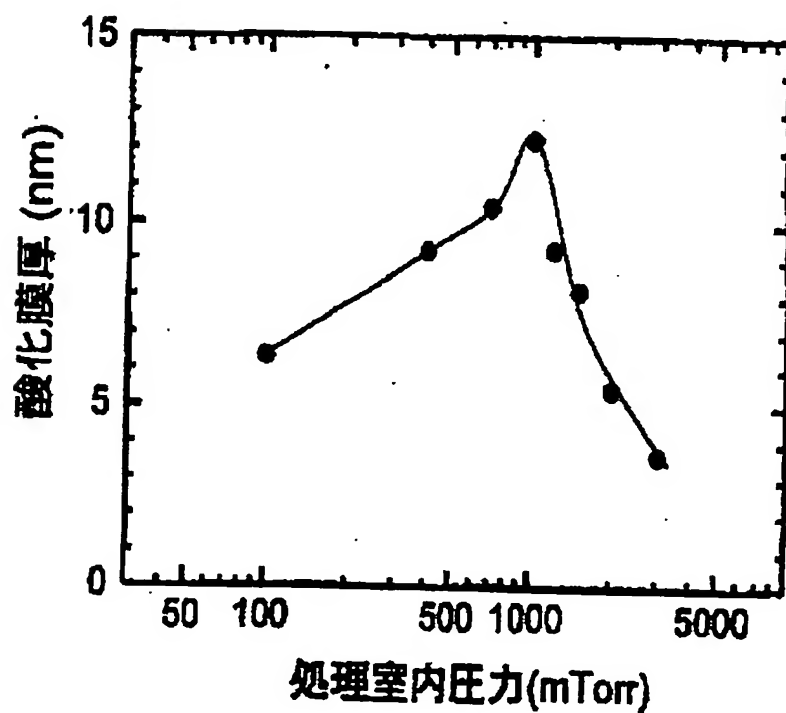
[図2]



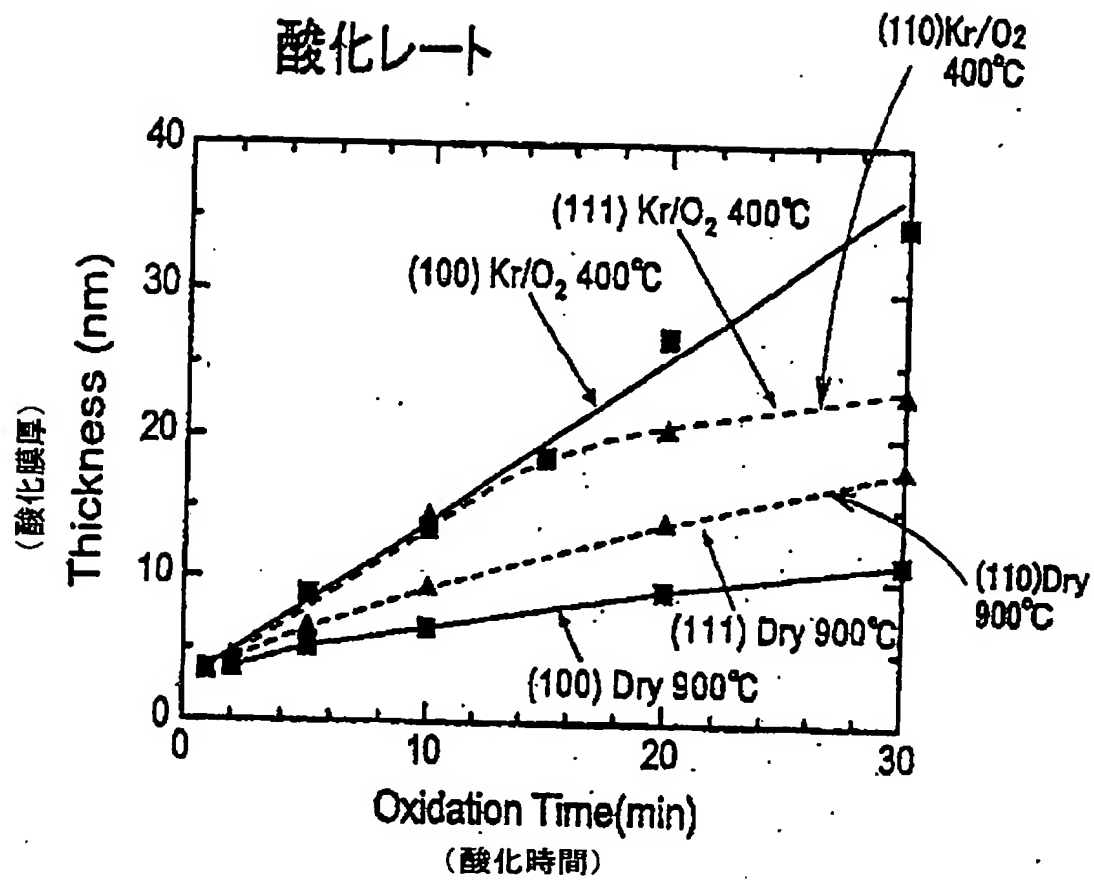
[図3]



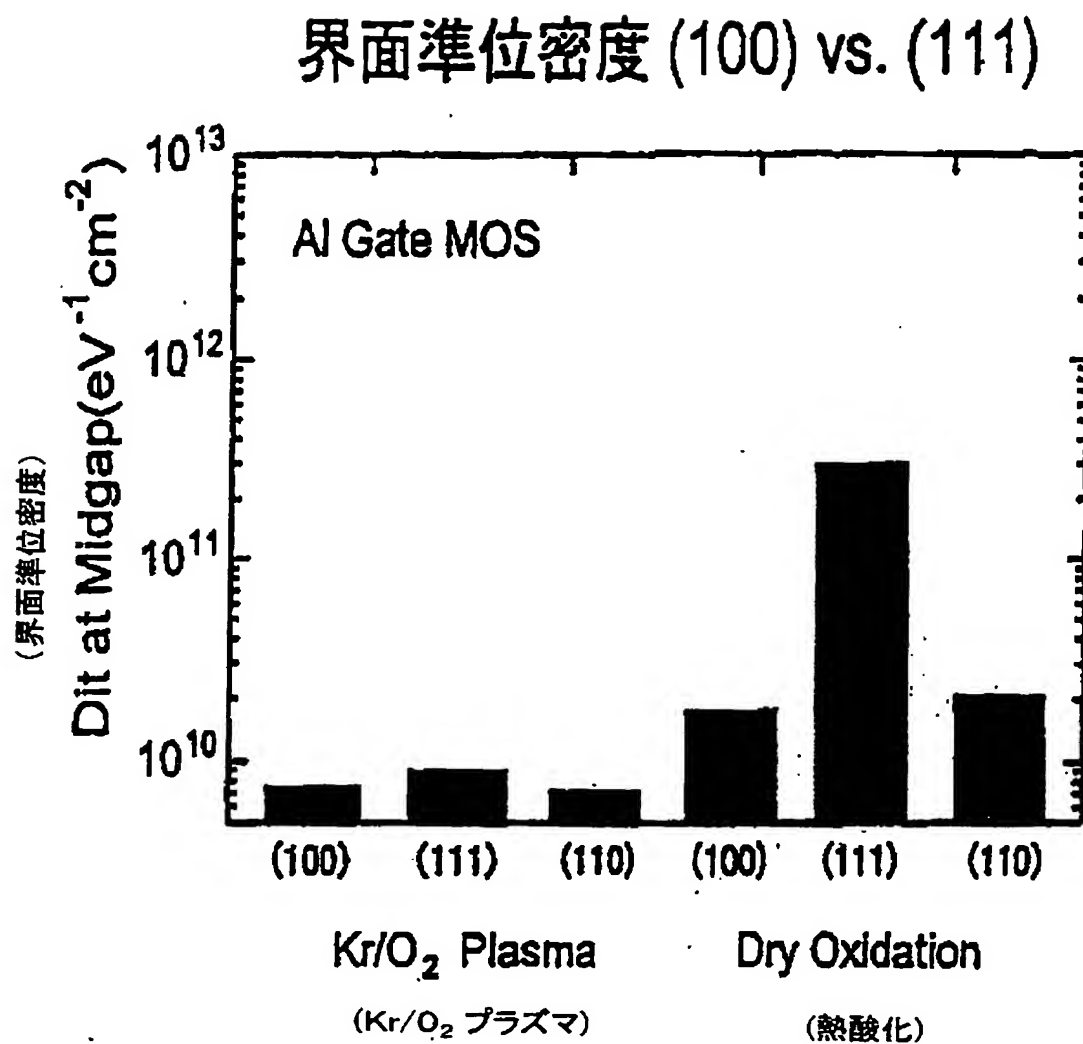
[図4]



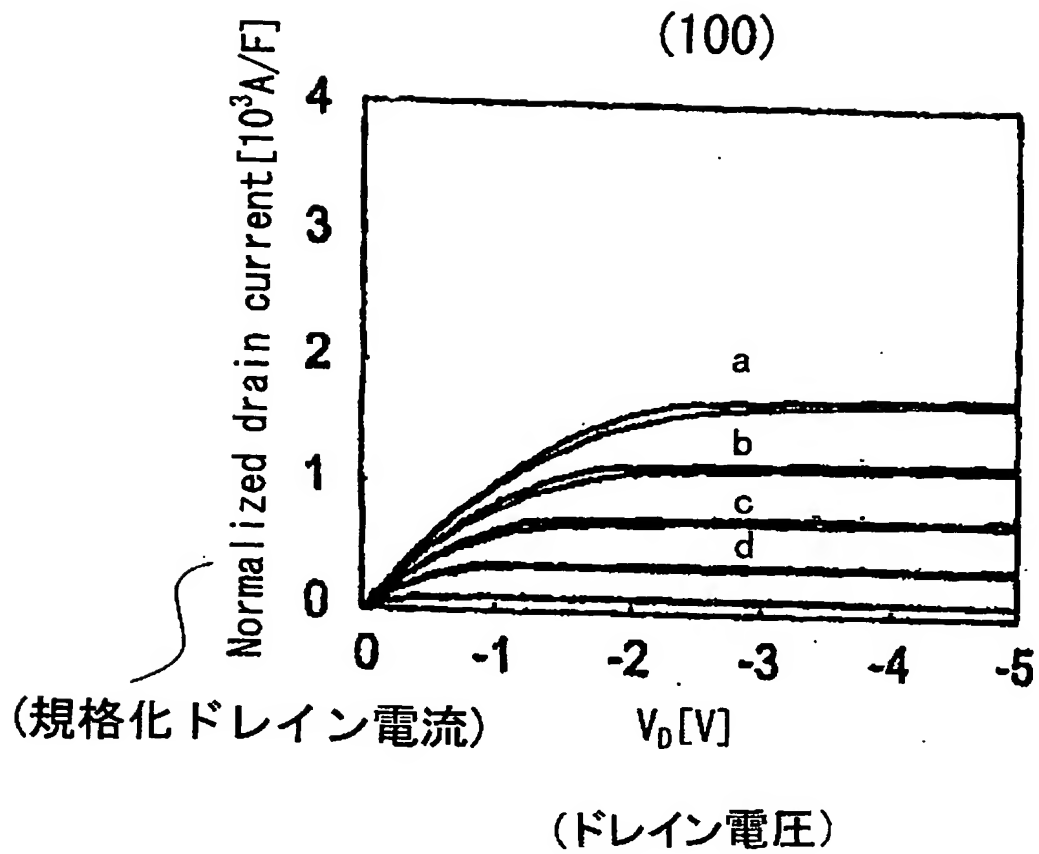
[図5]



[図6]

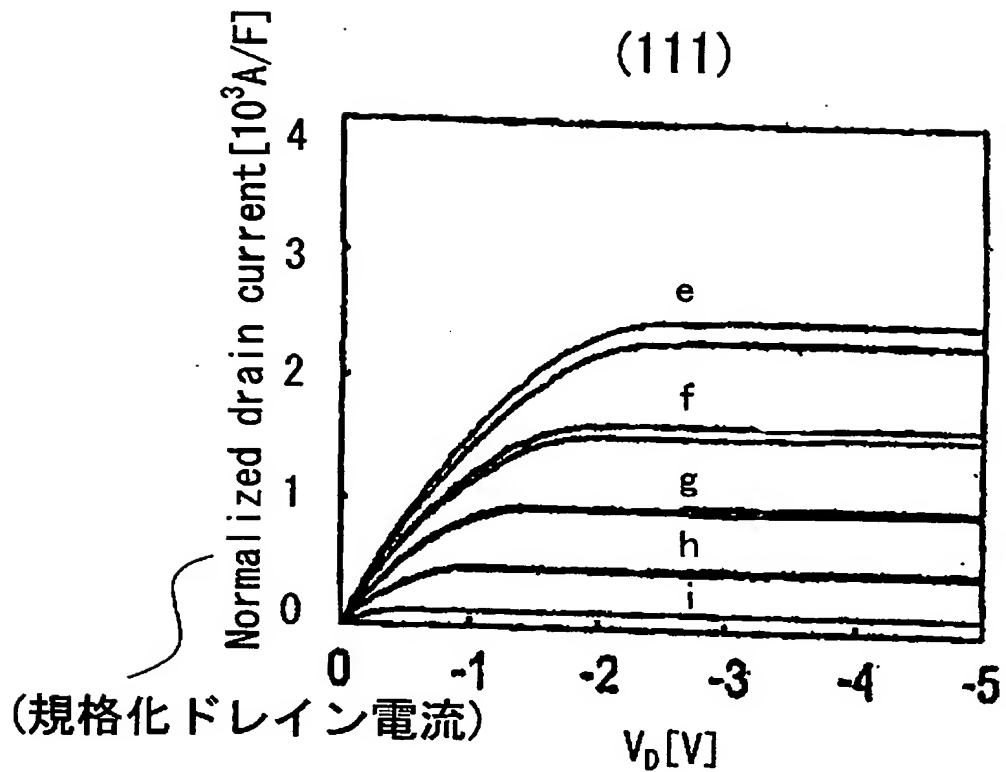


[図7A]

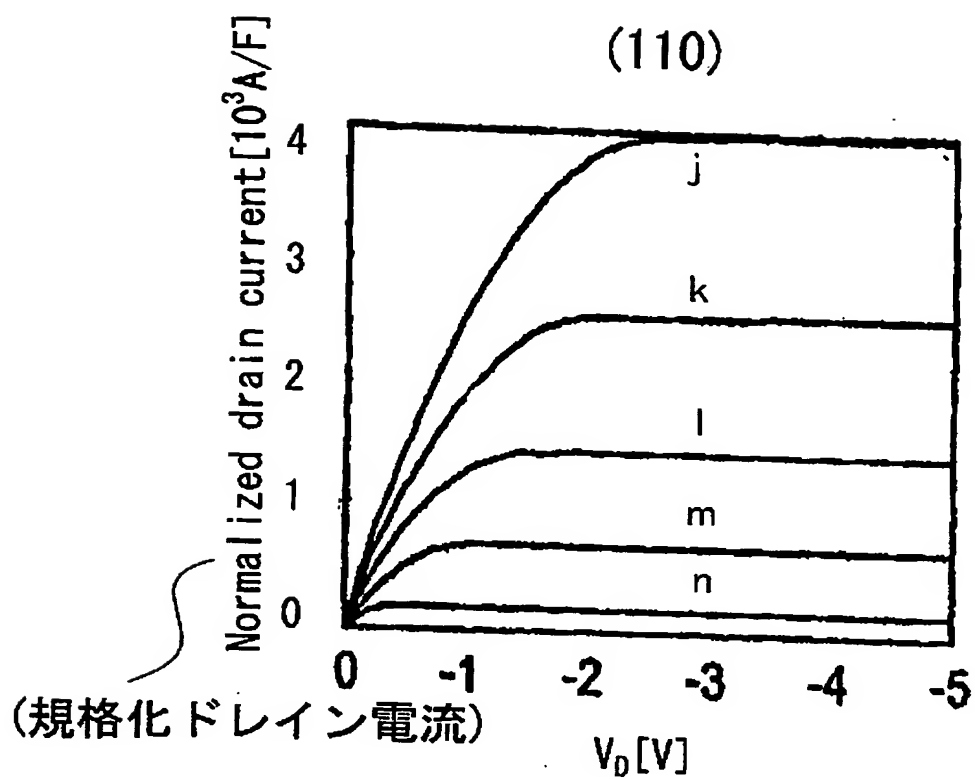


- a: $V_G - V_T = -2.5 \text{ V}$
- b: $V_G - V_T = -2.0 \text{ V}$
- c: $V_G - V_T = -1.5 \text{ V}$
- d: $V_G - V_T = -1.0 \text{ V}$

[図7B]

e: $V_G - V_T = -2.5 \text{ V}$ f: $V_G - V_T = -2.0 \text{ V}$ g: $V_G - V_T = -1.5 \text{ V}$ h: $V_G - V_T = -1.0 \text{ V}$ i: $V_G - V_T = -0.5 \text{ V}$

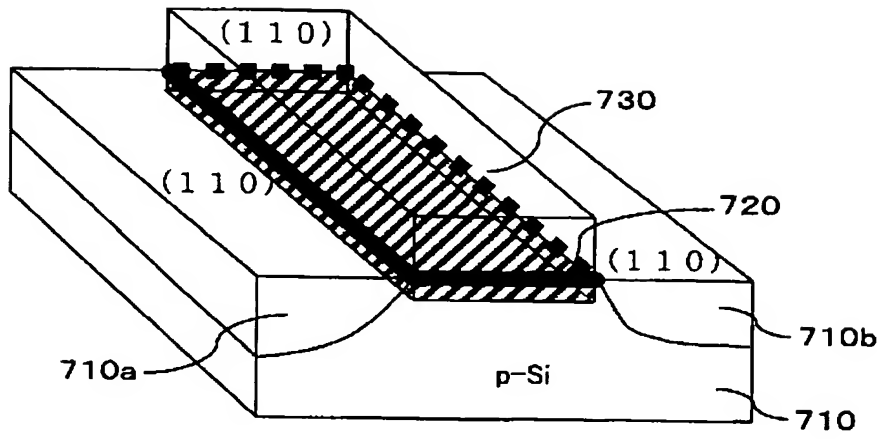
[図7C]



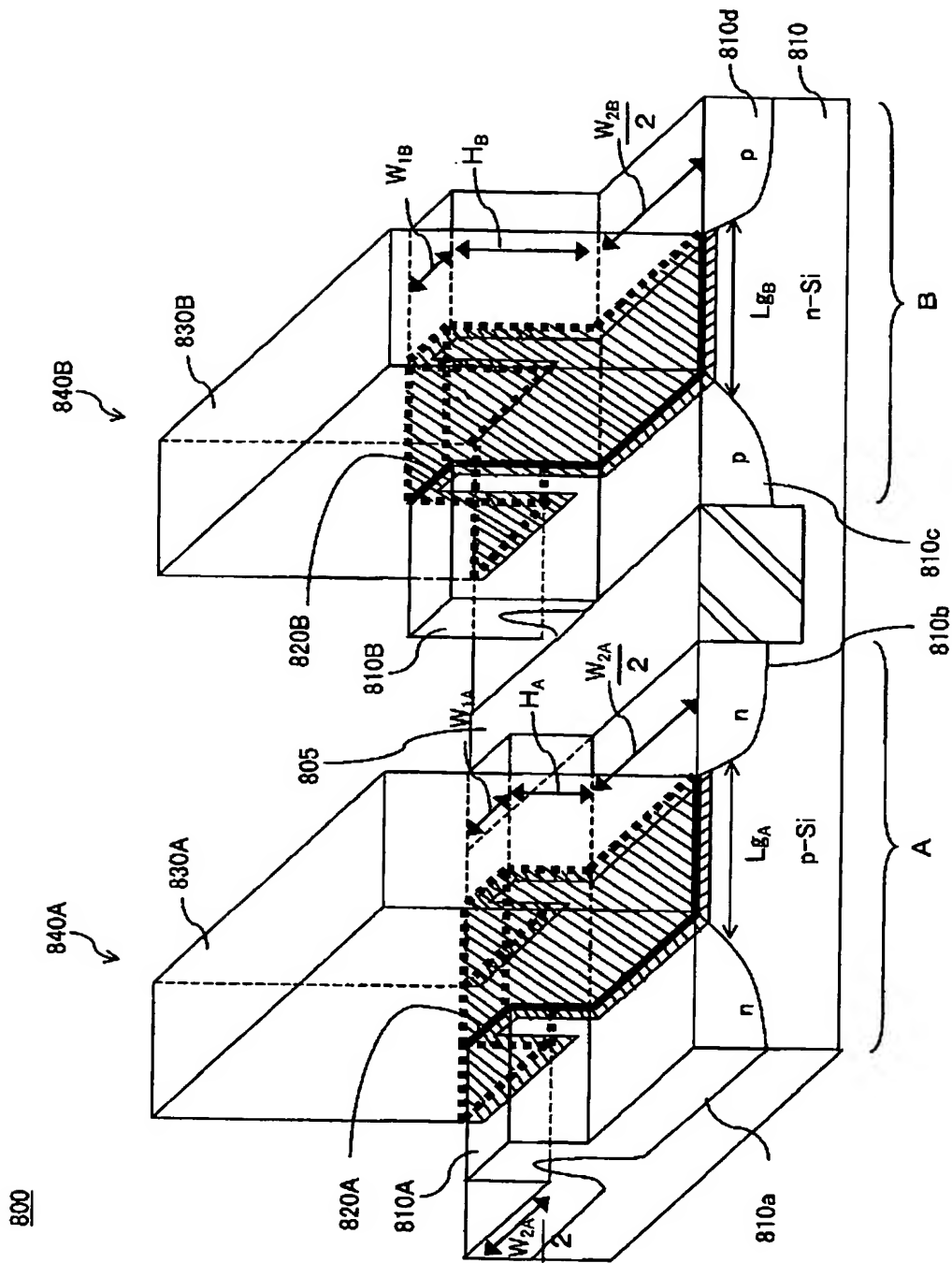
(ドレイン電圧)

j: $V_G - V_T = -2.5 \text{ V}$ k: $V_G - V_T = -2.0 \text{ V}$ l: $V_G - V_T = -1.5 \text{ V}$ m: $V_G - V_T = -1.0 \text{ V}$ n: $V_G - V_T = -0.5 \text{ V}$

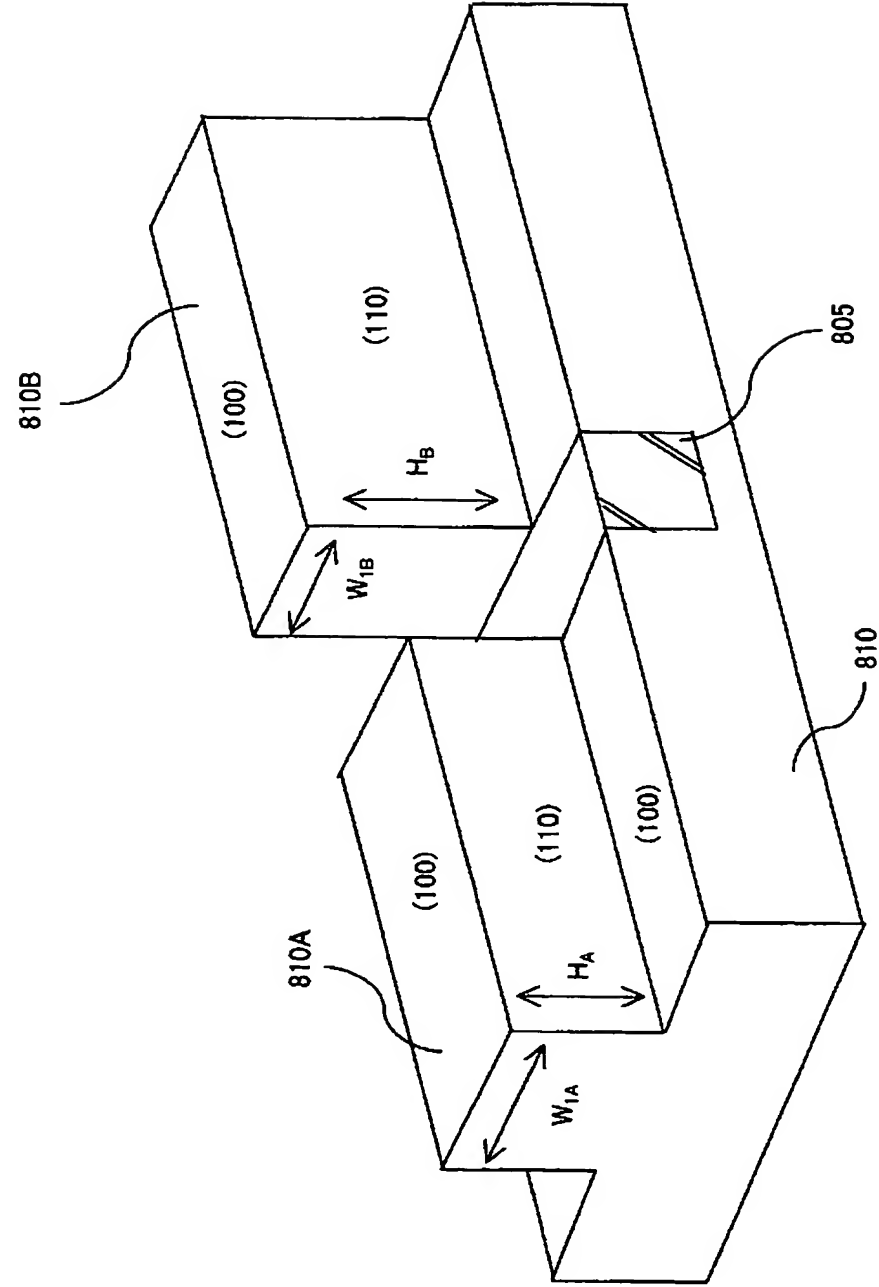
[図8]



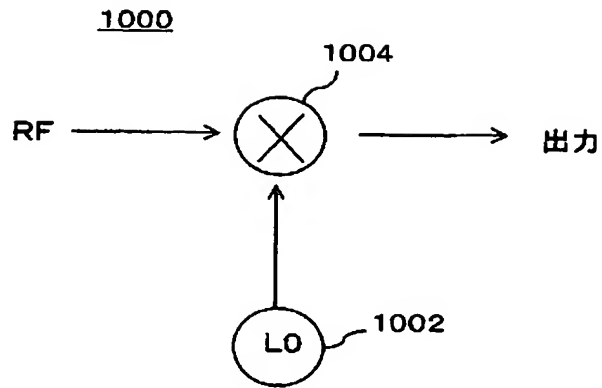
[図9]



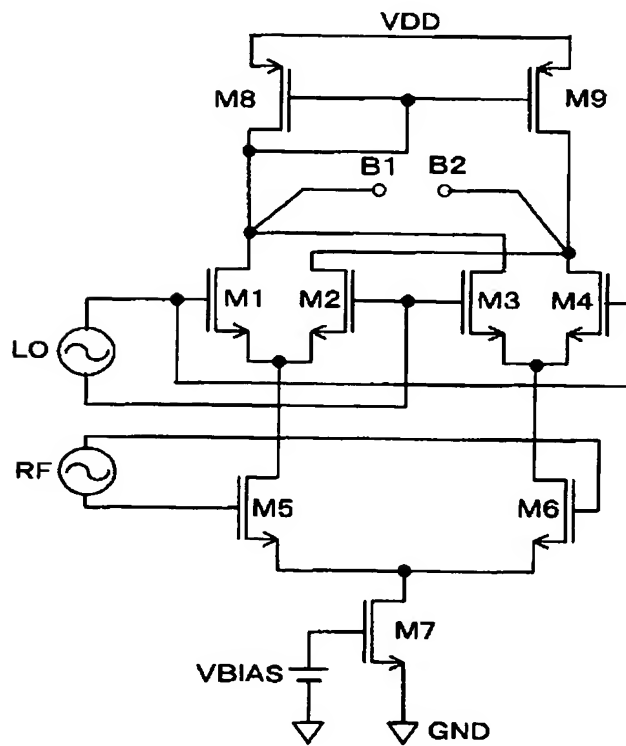
[図10]



[図11A]

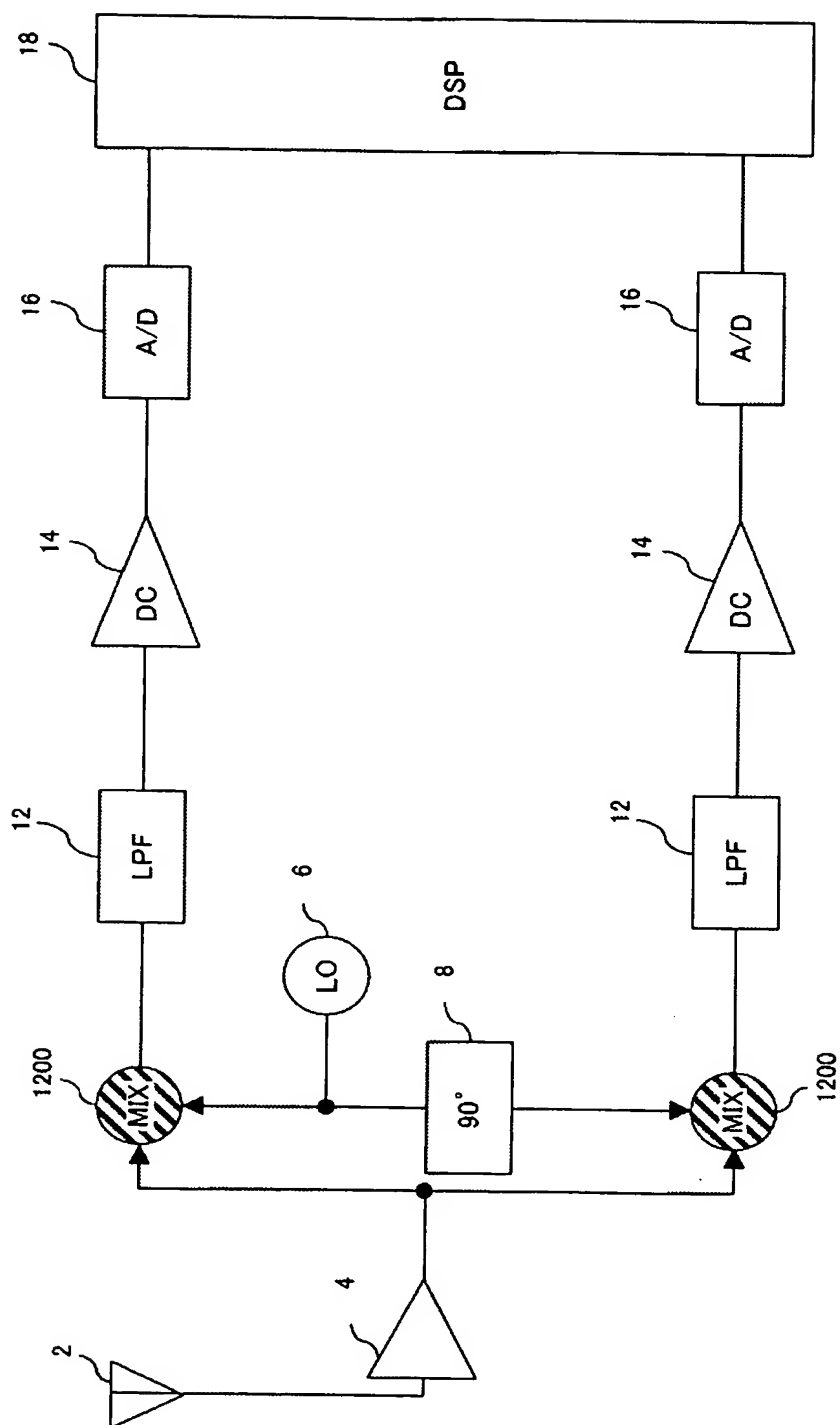


[図11B]



[図12]

1



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008215

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2004 |
| Kokai Jitsuyo Shinan Koho | 1971-2004 | Toroku Jitsuyo Shinan Koho | 1994-2004 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| Y | JP 2002-118255 A (Toshiba Corp.), 19 April, 2002 (19.04.02), Full text; all drawings & US 2002/011612 A1 Full text; all drawings | 1-11 |
| Y | JP 8-264764 A (Toshiba Corp.), 11 October, 1996 (11.10.96), Par. Nos. [0018] to [0022]; Figs. 18 to 22 (Family: none) | 1-11 |
| Y | JP 2000-228611 A (Hitachi, Ltd.), 15 August, 2000 (15.08.00), Par. No. [0004]; Fig. 2 (Family: none) | 1-11 |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 August, 2004 (06.08.04)

Date of mailing of the international search report
24 August, 2004 (24.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008215

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP 2002-261097 A (Tadahiro OMI), 13 September, 2002 (13.09.02), Full text; all drawings & EP 1347506 A1 Full text; all drawings & WO 2002/054473 A1 & JP 2002-261091 A & KR 3068570 A | 4 |
| Y | JP 11-55096 A (Fujitsu Ltd.), 26 February, 1999 (26.02.99), Par. No. [0027] (Family: none) | 11 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L27/092, H03D7/14, H04B1/30, H01L29/78, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2004年 |
| 日本国実用新案登録公報 | 1996-2004年 |
| 日本国登録実用新案公報 | 1994-2004年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| Y | JP 2002-118255 A (株式会社東芝) 2002.04.19, 全文, 全図 & US 2002/011612 A1, 全文, 全図 | 1-11 |
| Y | JP 8-264764 A (株式会社東芝) 1996.10.11, 段落【0018】-【0022】, 第18-22図 (ファミリーなし) | 1-11 |
| Y | JP 2000-228611 A (株式会社日立製作所) 2000.08.15, 段落【0004】, 第2図 (ファミリーなし) | 1-11 |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

06.08.2004

国際調査報告の発送日

24.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

淵 真悟

4L

3125

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|--|------------------|
| Y | JP 2002-261097 A (大見 忠弘) 2002.09.13, 全文, 全図 & EP 1347506 A1, 全文, 全図 & WO 2002/ 054473 A1 & JP 2002-261091 A & KR 3068570 A | 4 |
| Y | JP 11-55096 A (富士通株式会社) 1999.02.26, 段落【0027】 (ファミリーなし) | 11 |